



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

RECEIVED
MAY 14 2001
Technology Center 2600

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年12月 9日

出 願 番 号
Application Number:

平成11年特許願第350778号

願 人
Applicant(s):

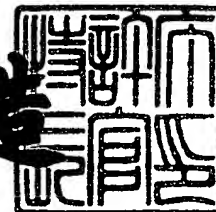
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3082924



RECEIVED
MAY 14 2001
Technology Center 2600

PATENT
FQ5-510

[Handwritten signature]
5/16

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Kenji MATSUMURA et al.
Appl. No.: 09/731,697 Group: 2661
Filed: December 8, 2000 Examiner: UNASSIGNED
For: MULTI-RATE SWITCHING SYSTEM AND METHOD

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

Date: May 8, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	11-350778	December 9, 1999

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By 

Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

FQ5-510

Attachment

【書類名】 特許願

【整理番号】 40410370

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/00
H04Q 3/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日
本電気株式会社内

【氏名】 松村 健次

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチレート A T M 交換装置

【特許請求の範囲】

【請求項 1】 複数の入出力回線間で A T M (A s y n c h r o n o u s T r a n s f e r M o d e : 非同期転送モード) セルの交換を行う A T M 交換装置において、

入力側高速回線から入力された A T M セル流の物理レイヤ終端処理及び A T M レイヤ終端処理を行う第 1 の入力回線対応部と、

前記第 1 の入力回線対応部で終端処理された A T M セル流を複数の A T M セル流に分離するセル分離部と、

入力側通常回線から入力された A T M セル流の物理レイヤ終端処理及び A T M レイヤ終端処理を行う第 2 の入力回線対応部と、

前記セル分離部で分離された複数の A T M セル流及び前記第 2 の入力回線対応部で終端処理された A T M セル流をそれぞれ複数の入力スイッチポートを介して入力し、該 A T M セル流をスイッチングして複数の出力スイッチポートから出力する A T M スイッチ部と、

前記 A T M スイッチ部の複数の出力スイッチポートから出力された A T M セル流の中で、出力側高速回線に出力される複数の A T M セル流を多重化するセル多重部と、

前記セル多重部で多重化された A T M セル流の A T M レイヤ終端処理及び物理レイヤ終端処理を行い出力側高速回線に出力する第 1 の出力回線対応部と、

前記 A T M スイッチ部の複数の出力スイッチポートから出力された A T M セル流の中で、出力側通常回線に出力される A T M セル流の A T M レイヤ終端処理及び物理レイヤ終端処理を行い出力側通常回線に出力する第 2 の出力回線対応部と、を備えたことを特徴とするマルチレート A T M 交換装置。

【請求項 2】 前記 A T M スイッチ部の各入出力スイッチポートの入出力レートが B (b p s) であり、前記入力側高速回線の通信レートが A_n (b p s) である場合に前記セル分離部が分離する A T M セル流の数は C 本であり、前記 C の値は A_n (b p s) $\leq B$ (b p s) $\times C$ を満たす最小の整数値であり、前記出

力側高速回線の通信レートが $A_m \text{ (bps)}$ である場合に前記セル多重部が多重化する ATMセル流の数は D 本であり、前記 D の値は $A_m \text{ (bps)} \leq B \text{ (bps)} \times D$ を満たす最小の整数値であることを特徴とする請求項 1 に記載のマルチレート ATM交換装置。

【請求項 3】 前記セル分離部は、前記セル分離部に入力される ATMセルの順序を保存するために ATMセルにシーケンス ID を付加する第 1 の順序制御部と、前記第 1 の順序制御部から出力される ATMセルを C 本に分離する第 1 のセクタと、前記第 1 のセクタの動作制御を行うセクタ制御部と、前記第 1 のセクタから出力される ATMセルを一時的に蓄える C 個のバッファを有する第 1 の FIFOバッファと、前記第 1 の FIFOバッファに蓄えられた ATMセルの同期を制御する同期制御部とから構成されることを特徴とする請求項 1 から請求項 2 に記載のマルチレート ATM交換装置。

【請求項 4】 前記第 1 の順序制御部は、入力された ATMセルにその到着順序を示すシーケンス ID を順次付加し、前記シーケンス ID は入力された ATMセルの識別子ごとに独立のシーケンスとして付加されることを特徴とする請求項 1 から請求項 3 に記載のマルチレート ATM交換装置。

【請求項 5】 前記 ATMスイッチ部は、入力スイッチポートの数が N で出力スイッチポートの数が N の $N \times N$ の ATMスイッチと、前記 ATMスイッチの N 本の入力スイッチポートと同数のバッファを有する第 2 の FIFOバッファと、前記第 2 の FIFOバッファ内の ATMセルの同期制御を行うセル同期制御部と、前記 ATMスイッチ及び前記第 2 の FIFOバッファの制御を行うスイッチ制御部とから構成されることを特徴とする請求項 1 から請求項 4 に記載のマルチレート ATM交換装置。

【請求項 6】 前記第 2 の FIFOバッファは、前記 ATMスイッチ部へ入力される ATMセルを一旦蓄積して前記セル同期制御部の指示で該 ATMセル間のセル同期を取り、また、前記第 2 の FIFOバッファは、前記スイッチ制御部に対して前記第 2 の FIFOバッファが有する N 本の各バッファ内の先頭 ATMセルの識別子及び入力スイッチポート ID を通知し、該通知を受けた前記スイッチ制御部は、該 ATMセルの出力スイッチポート ID を検索して該検索結果を前

記第 2 の F I F O バッファに返送し、前記第 2 の F I F O バッファは、該検索結果を受信した後、該検索結果に含まれる該 A T M セルの出力スイッチポート I D と共に前記 A T M スイッチへ該 A T M セルを送信し、前記 A T M スイッチでは、該 A T M セルと共に入力された出力スイッチポート I D を元に該 A T M セルを出力スイッチポート I D が示す出力スイッチポートへスイッチングして出力することを特徴とする請求項 1 から請求項 5 に記載のマルチレート A T M 交換装置。

【請求項 7】 前記スイッチ制御部が前記第 2 の F I F O バッファ内の A T M セルを前記 A T M スイッチの出力スイッチポートへスイッチングして出力する制御を行うにあたり、前記第 2 の F I F O バッファ内の A T M セルの出力先が出力側通常回線であると認められたときには、該出力側通常回線 1 本につき一時に 1 個の A T M セルだけが出力スイッチポートへ出力されるよう制御し、前記第 2 の F I F O バッファ内の A T M セルの出力先が出力側高速回線であると認められたときには、該出力側高速回線 1 本につき同時に複数個の最大 D 個までの A T M セルが出力スイッチポートへ出力されるよう制御するグルーピング制御を行うことを特徴とする請求項 1 から請求項 6 に記載のマルチレート A T M 交換装置。

【請求項 8】 前記セル多重部は、前記セル多重部に入力される D 本の A T M セルを一時的に蓄える D 個のバッファを有する第 3 の F I F O バッファと、前記第 3 の F I F O バッファに蓄えられた A T M セルの順序制御を行う第 2 の順序制御部と、前記第 3 の F I F O バッファに蓄えられた A T M セルを多重して出力側高速回線に出力する第 2 のセレクタとから構成されることを特徴とする請求項 1 から請求項 7 に記載のマルチレート A T M 交換装置。

【請求項 9】 前記第 2 の順序制御部は、前記第 3 の F I F O バッファに蓄積された A T M セルを、前記 A T M スイッチのスイッチポートの 1 セル周期ごとに、前記第 3 の F I F O バッファの D 個のバッファから 1 セルずつ計 D 個読み出し、若番のバッファから順番に多重を行えるよう前記第 2 のセレクタに出力し、前記第 2 のセレクタで出力された A T M セルの多重化を行い、前記第 2 の順序制御部が計 D 個の A T M セルを読み出す際には、該 A T M セルの識別子ごとにシーケンス I D の確認を行い、該 A T M セルの順序が崩れていた場合には、該 A T M セルの順序を補正して読み出すことを特徴とする請求項 1 から請求項 8 に記載の

マルチレートATM交換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマルチレートATM交換装置に関し、特にATM (Asynchronous Transfer Mode: 非同期転送モード) 交換装置におけるスイッチ部のポートのレートを越える高速回線を収容することを可能とするマルチレートATM交換装置に関する。

【0002】

【従来の技術】

従来のATM交換装置において、スイッチ部に収容される回線のレートは、スイッチ部の1ポートあたりのレートを越えることは無かった。

【0003】

図8に、従来のATM交換装置における回線収容方式の一例を示す。

【0004】

図8において、ATM交換装置100は、入力回線の終端を行う入力回線対応部111～11i、131～13kと、入力回線から入力されるATMセルのスイッチングを行うATMスイッチ部140と、ATMスイッチ部140から出力されるATMセルを終端処理して出力回線へ出力する出力回線対応部151～15m、171～17nとから構成されている。入力回線対応部111～11iは、それぞれ物理レイヤの終端処理を行う物理レイヤ終端部1111とATMレイヤの終端処理を行うATMレイヤ終端部1112とを備えている。入力回線対応部131～13kは、同様に物理レイヤ終端部1311とATMレイヤ終端部1312とを備えている。出力回線対応部151～15mは、それぞれATMレイヤの終端処理を行うATMレイヤ終端部1512と物理レイヤの終端処理を行う物理レイヤ終端部1511とを備え、出力回線対応部171～17nも同様に、ATMレイヤ終端部1712と物理レイヤ終端部1711とを備えている。

【0005】

また、低速回線101～10iは入力回線対応部111～11iに接続され、

各入力回線対応部111～11iからのATMセルを多重してATMスイッチ部140に入力するセル多重部142を備えている。通常回線121～12kは入力回線対応部131～13kに接続され、各入力回線対応部131～13kからのATMセルは直接ATMスイッチ部140に入力される。

【0006】

なお、ここで、低速回線とはATMスイッチ部140の入出力スイッチポートの入出力レートよりも低速のレートの回線を示し、通常回線とはATMスイッチ部140の入出力スイッチポートの入出力レートを越えないレートを有する回線を示すものとする。

【0007】

さらに、ATM交換装置100は、ATMスイッチ部140から低速回線に向けて出力されるATMセルを分離するセル分離部144を備え、セル分離部144で分離されたATMセルは出力回線対応部151～15mを経て、各出力回線対応部151～15mに各々接続されている低速回線161～16mに出力される。ATMスイッチ部140から通常回線に向けて出力されるATMセルは、直接出力回線対応部171～17nに出力され、出力回線対応部171～17nにそれぞれ接続されている通常回線181～18nに出力される。

【0008】

図8において、低速回線101～10iから入力されるATMセル流は、入力回線対応部111～11iの物理レイヤ終端部1111及びATMレイヤ終端部1112でそれぞれ所定の物理レイヤ終端処理及びATMレイヤ終端処理が施された後、セル多重部142で多重化され、ATMスイッチ部140に入力される。

【0009】

また、通常回線121～12kから入力されるATMセル流は、入力回線対応部131～13kの物理レイヤ終端部1311及びATMレイヤ終端部1312でそれぞれ所定の物理レイヤ終端処理及びATMレイヤ終端処理が施された後、ATMスイッチ部140に入力される。

【0010】

ATMスイッチ部140に入力されたATMセル流は、各セル内に書き込まれているVPI (Virtual Path Identifier: 仮想パス識別子) やVCI (Virtual Channel Identifier: 仮想チャネル識別子) などの識別子によりスイッチングされ、所望の出力回線にそれぞれ出力される。

【0011】

ATMスイッチ部140により低速回線161～16mにスイッチングされたATMセル流は、セル分離部144において各セル内に書き込まれているVPI やVCI などの識別子により所望の出力回線へのATMセル流の分離が行われ、その後、出力回線対応部151～15mのATMレイヤ終端部1512及び物理レイヤ終端部1511でそれぞれ所定のATMレイヤ終端処理及び物理レイヤ終端処理が施された後、低速回線161～16mに出力される。

【0012】

また、ATMスイッチ部140により通常回線181～18nにスイッチングされたATMセル流は、出力回線対応部171～17nのATMレイヤ終端部1712及び物理レイヤ終端部1711でそれぞれ所定のATMレイヤ終端処理及び物理レイヤ終端処理が施された後、通常回線181～18nに出力される。

【0013】

以上述べたように、図8に示した従来のATM交換装置100においては、ATMスイッチ部140に収容される回線のレートは、ATMスイッチ部140のスイッチポートのレートを越えることは無かった。すなわち、図8において、ATMスイッチ部140のスイッチポートのレートよりも低速の低速回線を収容する場合は、複数の低速回線をセル多重部142で多重化してATMスイッチ部140に収容し、また、ATMスイッチ部140のスイッチポートのレートを越えないレートを有する通常回線の場合は、多重化することなくそのままATMスイッチ部140に収容していた。

【0014】

【発明が解決しようとする課題】

上述した従来のATM交換装置において、ATMスイッチ部のスイッチポート

のレートを超える高速の回線を収容しようとした場合には、A T Mスイッチ部そのものを高速回線に対応できるように新規に開発し、その新規A T Mスイッチ部に高速回線を接続することで対応していた。

【0015】

この様な対応を取る場合、A T M交換装置を含めたシステム全体を新規開発する必要があり、そのコストや納期の面で大きな問題を有していた。また、すでに運用状態に入っているシステムにあっては、A T Mスイッチ部のみ変更し交換することは非常に困難であり、結局別システムを導入してこれに高速回線を接続するなど、多大なコストを生じさせる結果となっていた。

【0016】

本発明の目的は、A T Mスイッチ部の各入出力スイッチポートのレートを変更せずに、その入出力スイッチポートのレートを超える高速回線を収容することを可能とするマルチレートA T M交換装置を提供することにある。

【0017】

【課題を解決するための手段】

本発明のマルチレートA T M交換装置は、複数の入出力回線間でA T M (A s y n c h r o n o u s T r a n s f e r M o d e : 非同期転送モード) セルの交換を行うA T M交換装置において、

入力側高速回線から入力されたA T Mセル流の物理レイヤ終端処理及びA T Mレイヤ終端処理を行う第1の入力回線対応部と、

前記第1の入力回線対応部で終端処理されたA T Mセル流を複数のA T Mセル流に分離するセル分離部と、

入力側通常回線から入力されたA T Mセル流の物理レイヤ終端処理及びA T Mレイヤ終端処理を行う第2の入力回線対応部と、

前記セル分離部で分離された複数のA T Mセル流及び前記第2の入力回線対応部で終端処理されたA T Mセル流をそれぞれ複数の入力スイッチポートを介して入力し、該A T Mセル流をスイッチングして複数の出力スイッチポートから出力するA T Mスイッチ部と、

前記A T Mスイッチ部の複数の出力スイッチポートから出力されたA T Mセル流

の中で、出力側高速回線に出力される複数のA T Mセル流を多重化するセル多重部と、

前記セル多重部で多重化されたA T Mセル流のA T Mレイヤ終端処理及び物理レイヤ終端処理を行い出力側高速回線に出力する第1の出力回線対応部と、

前記A T Mスイッチ部の複数の出力スイッチポートから出力されたA T Mセル流の中で、出力側通常回線に出力されるA T Mセル流のA T Mレイヤ終端処理及び物理レイヤ終端処理を行い出力側通常回線に出力する第2の出力回線対応部とを備えたことを特徴とする。

【0018】

また、前記A T Mスイッチ部の各入出力スイッチポートの入出力レートが B (bps)であり、前記入力側高速回線の通信レートが A_n (bps)である場合に前記セル分離部が分離するA T Mセル流の数は C 本であり、前記 C の値は A_n (bps) $\leq B$ (bps) $\times C$ を満たす最小の整数値であり、前記出力側高速回線の通信レートが A_m (bps)である場合に前記セル多重部が多重化するA T Mセル流の数は D 本であり、前記 D の値は A_m (bps) $\leq B$ (bps) $\times D$ を満たす最小の整数値であることを特徴とする。

【0019】

さらに、前記セル分離部は、前記セル分離部に入力されるA T Mセルの順序を保存するためにA T MセルにシーケンスIDを付加する第1の順序制御部と、前記第1の順序制御部から出力されるA T Mセルを C 本に分離する第1のセクタと、前記第1のセクタの動作制御を行うセクタ制御部と、前記第1のセクタから出力されるA T Mセルを一時的に蓄える C 個のバッファを有する第1のF I F Oバッファと、前記第1のF I F Oバッファに蓄えられたA T Mセルの同期を制御する同期制御部とから構成されることを特徴とする。

【0020】

また、前記第1の順序制御部は、入力されたA T Mセルにその到着順序を示すシーケンスIDを順次付加し、前記シーケンスIDは入力されたA T Mセルの識別子ごとに独立のシーケンスとして付加されることを特徴とする。

【0021】

さらに、前記ATMスイッチ部は、入力スイッチポートの数がNで出力スイッチポートの数がNのN×NのATMスイッチと、前記ATMスイッチのN本の入力スイッチポートと同数のバッファを有する第2のFIFOバッファと、前記第2のFIFOバッファ内のATMセルの同期制御を行うセル同期制御部と、前記ATMスイッチ及び前記第2のFIFOバッファの制御を行うスイッチ制御部とから構成されることを特徴とする。

【0022】

また、前記第2のFIFOバッファは、前記ATMスイッチ部へ入力されるATMセルを一旦蓄積して前記セル同期制御部の指示で該ATMセル間のセル同期を取り、また、前記第2のFIFOバッファは、前記スイッチ制御部に対して前記第2のFIFOバッファが有するN本の各バッファ内の先頭ATMセルの識別子及び入力スイッチポートIDを通知し、該通知を受けた前記スイッチ制御部は、該ATMセルの出力スイッチポートIDを検索して該検索結果を前記第2のFIFOバッファに返送し、前記第2のFIFOバッファは、該検索結果を受信した後、該検索結果に含まれる該ATMセルの出力スイッチポートIDと共に前記ATMスイッチへ該ATMセルを送信し、前記ATMスイッチでは、該ATMセルと共に入力された出力スイッチポートIDを元に該ATMセルを出力スイッチポートIDが示す出力スイッチポートへスイッチングして出力することを特徴とする。

【0023】

さらに、前記スイッチ制御部が前記第2のFIFOバッファ内のATMセルを前記ATMスイッチの出力スイッチポートへスイッチングして出力する制御を行うにあたり、前記第2のFIFOバッファ内のATMセルの出力先が出力側通常回線であると認められたときには、該出力側通常回線1本につき一時に1個のATMセルだけが出力スイッチポートへ出力されるよう制御し、前記第2のFIFOバッファ内のATMセルの出力先が出力側高速回線であると認められたときには、該出力側高速回線1本につき同時に複数個の最大D個までのATMセルが出力スイッチポートへ出力されるよう制御するグルーピング制御を行うことを特徴とする。

【0024】

また、前記セル多重部は、前記セル多重部に入力されるD本のATMセルを一時的に蓄えるD個のバッファを有する第3のFIFOバッファと、前記第3のFIFOバッファに蓄えられたATMセルの順序制御を行う第2の順序制御部と、前記第3のFIFOバッファに蓄えられたATMセルを多重して出力側高速回線に出力する第2のセレクタとから構成されることを特徴とする。

【0025】

さらに、前記第2の順序制御部は、前記第3のFIFOバッファに蓄積されたATMセルを、前記ATMスイッチのスイッチポートの1セル周期ごとに、前記第3のFIFOバッファのD個のバッファから1セルずつ計D個読み出し、若番のバッファから順番に多重を行えるよう前記第2のセレクタに出力し、前記第2のセレクタで出力されたATMセルの多重化を行い、前記第2の順序制御部が計D個のATMセルを読み出す際には、該ATMセルの識別子ごとにシーケンスIDの確認を行い、該ATMセルの順序が崩れていた場合には、該ATMセルの順序を補正して読み出すことを特徴とする。

【0026】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0027】

図1は本発明のマルチレートATM交換装置の一つの実施の形態を示すブロック図である。

【0028】

図1において、マルチレートATM交換装置20は、入力回線の終端を行う入力回線対応部22、入力回線対応部24と、入力回線から入力されるATMセルのスイッチングを行うATMスイッチ部26と、ATMスイッチ部26から出力されるATMセルを終端処理して出力回線へ出力する出力回線対応部28、出力回線対応部30とから構成されている。入力回線対応部22は、それぞれ物理レイヤの終端処理を行う物理レイヤ終端部221とATMレイヤの終端処理を行うATMレイヤ終端部222とを備えている。入力回線対応部24は、同様に物理

レイヤ終端部 241 と ATM レイヤ終端部 242 とを備えている。出力回線対応部 28 は、それぞれ ATM レイヤの終端処理を行う ATM レイヤ終端部 282 と物理レイヤの終端処理を行う物理レイヤ終端部 281 とを備え、出力回線対応部 30 も同様に、ATM レイヤ終端部 302 と物理レイヤ終端部 301 とを備えている。

【0029】

また、高速回線 21 は入力回線対応部 22 に接続され、入力回線対応部 22 からの ATM セルを分離して ATM スイッチ部 26 に入力するセル分離部 25 を備えている。通常回線 23 は入力回線対応部 24 に接続され、入力回線対応部 24 からの ATM セルは直接 ATM スイッチ部 26 に入力される。

【0030】

なお、ここで、高速回線とは ATM スイッチ部 26 の入出力スイッチポートの入出力レートよりも高速のレートの回線を示し、通常回線とは ATM スイッチ部 26 の入出力スイッチポートの入出力レートを越えないレートを有する回線を示すものとする。

【0031】

さらに、マルチレート ATM 交換装置 20 は、ATM スイッチ部 26 から高速回線に向けて出力される ATM セルを多重するセル多重部 27 を備え、セル多重部 27 で多重された ATM セルは出力回線対応部 28 を経て、出力回線対応部 28 に接続されている高速回線 29 に出力される。ATM スイッチ部 26 から通常回線に向けて出力される ATM セルは、直接出力回線対応部 30 に出力され、出力回線対応部 30 に接続されている通常回線 31 に出力される。

【0032】

図 1 において、ATM スイッチ部 26 は、入力スイッチポートの数が N で出力スイッチポートの数が N の $N \times N$ スイッチであり、入力スイッチポート ID は $0 \sim N-1$ であり、出力スイッチポート ID も $0 \sim N-1$ であるものとする。

【0033】

また、セル分離部 25 は、高速回線 21 から入力された ATM セルをセルの到着順に順次 C 本に分離し、分離した C 本のセルをそれぞれ ATM スイッチ部 26

の入力スイッチポートIDが0～C-1のポートに入力する。ここで、高速回線21のレート（通信レート）を A_n （bps）とし、ATMスイッチ部26の各入出力スイッチポートのレート（入出力レート）を B （bps）とすると、Cの値は、

$$A_n \text{ (bps)} \leq B \text{ (bps)} \times C$$

を満たす最小の整数値である（但しCは、Nを越えないものとする）。また、C本に分離されたATMセルを入力スイッチポートIDが0～C-1の入力スイッチポートに入力するとしているが、これはあくまで本発明の説明の容易化のためであり、何れの入力スイッチポートにATMセルを入力してもよい。

【0034】

さらに、セル多重部27は、高速回線29に向けてATMスイッチ部26からD本に分けられて出力されたATMセル（出力スイッチポートIDがC～C+D-1から出力されるATMセル）を順次多重し高速回線29に出力する。ここで、高速回線29のレート（通信レート）を A_m （bps）とし、ATMスイッチ部26の各入出力スイッチポートのレート（入出力レート）を前述の通り B （bps）とすると、Dの値は、

$$A_m \text{ (bps)} \leq B \text{ (bps)} \times D$$

を満たす最小の整数値である（但しDは、Nを越えないものとする）。また、D本に分けられてATMスイッチ部26から出力されるATMセルの出力スイッチポートIDがC～C+D-1であるとしているが、これもあくまで本発明の説明の容易化のためであり、何れの出カスイッチポートからATMセルが出力されてもよい。

【0035】

次に、図2を参照して、図1に示したセル分離部25の詳細構成を説明する。

【0036】

図2は、図1のセル分離部の一実施例を示す詳細ブロック図である。

【0037】

図2において、セル分離部25は、セル分離部25に入力されるATMセルの順序を保存するため、ATMセルにシーケンスIDを付加する順序制御部251

と、順序制御部 251 から出力される ATM セルを C 本に分離するセレクタ 252 と、セレクタ 252 の動作制御を行うセレクタ制御部 253 と、セレクタ 252 から出力される ATM セルを一時的に蓄える C 個のバッファを有する FIFO バッファ 254 と、FIFO バッファ 254 に蓄えられた ATM セルの同期を制御する同期制御部 255 とから構成されている。

【0038】

セル分離部 25 に ATM セルが入力されると、順序制御部 251 は、入力された ATM セルに、その到着順序を示すシーケンス ID を順次付加して後段のセレクタ 252 へ送出する。シーケンス ID は、0 ～ R 迄の整数であり、上限の R の値は本マルチレート交換装置のシステム構成により決定されるが、上述した C あるいは D の値より大きな値が望ましい。

【0039】

このシーケンス ID は、ATM セル内に書き込まれている VPI や VCI などの識別子ごとに独立して付加される。例えば、識別子が X の ATM セルが 2 個、識別子が Y の ATM セルが 1 個入力された場合には、識別子 X の ATM セルには「0、1」と順次にシーケンス ID が付加され、識別子 Y の ATM セルにはこれと独立に新たなシーケンス ID 「0」が付加される。また、シーケンス ID を 0 から R 迄付加した後は、再度 0 から付加していく。

【0040】

セレクタ 252 は、セレクタ制御部 253 の指示に従い、入力された ATM セルを C 本の方路に振り分ける。セレクタ制御部 253 は、到着した ATM セルを順番に、1 セル単位で若番の方路から振り分けるよう制御を行う。

【0041】

セレクタ 252 により各方路に振り分けられた ATM セルは、図 1 に示した高速回線 21 のレートで一旦 FIFO バッファ 254 に書き込まれ、同期制御部 255 の制御の元でセル単位で同期を取られた後、C 個の ATM セルが同時に、図 1 に示した ATM スイッチ部 26 のスイッチポートのレートで読み出され、後段の ATM スイッチ部 26 に送出される。

【0042】

次に、図 3 を参照して、図 1 に示した A T M スイッチ部 2 6 の詳細構成を説明する。

【 0 0 4 3 】

図 3 は、図 1 の A T M スイッチ部の一実施例を示す詳細ブロック図である。

【 0 0 4 4 】

図 3 において、A T M スイッチ部 2 6 は、入力スイッチポートの数が N で出力スイッチポートの数が N の $N \times N$ の A T M スイッチ 2 6 1 と、A T M スイッチ 2 6 1 の N 本の入力スイッチポートと同数のバッファを有する F I F O バッファ 2 6 2 と、F I F O バッファ 2 6 2 内の A T M セルの同期制御を行うセル同期制御部 2 6 3 と、A T M スイッチ 2 6 1 及び F I F O バッファ 2 6 2 の制御を行うスイッチ制御部 2 6 4 とから構成されている。

【 0 0 4 5 】

F I F O バッファ 2 6 2 は、 N 本のスイッチポートごとにバッファを有し、A T M スイッチ部 2 6 へ入力される A T M セルを一旦蓄積し、セル同期制御部 2 6 3 の指示で、 N 本のスイッチポートへ入力される A T M セル間のセル同期を取る。また、F I F O バッファ 2 6 2 は、スイッチ制御部 2 6 4 に対し、 N 本のスイッチポートごとの各バッファ内の先頭 A T M セルの識別子及び入力スイッチポート I D を通知し、スイッチ制御部 2 6 4 が返す出力スイッチポート I D を受信した後、その出力スイッチポート I D と共に $N \times N$ の A T M スイッチ 2 6 1 へ A T M セルを送信する。

【 0 0 4 6 】

$N \times N$ の A T M スイッチ 2 6 1 では、A T M セルと共に入力された出力スイッチポート I D を元に、その A T M セルを出力スイッチポート I D が示す出力スイッチポートへスイッチングし出力する。 $N \times N$ の A T M スイッチ 2 6 1 は、入出力それぞれ N 本のスイッチポートを有しているため、1 セル周期ごとに N 個の A T M セルの入出力が可能である。

【 0 0 4 7 】

スイッチ制御部 2 6 4 は、スイッチポートが N 本有るため、1 セル周期内に N 個の A T M セルの処理を行う必要がある。しかし、複数の A T M セルの出力先が

単一出力スイッチポートを示している場合は、その中の最若番入力スイッチポートのATMセルにのみ出力スイッチポートIDを通知し、その他のATMセルには通知せず、その他のATMセルは次のセル周期に再度検索を行ってスイッチングを行うよう制御する。次のセル周期では、最若番入力スイッチポートの次の若番入力スイッチポートを最優先として処理を行う。

【0048】

スイッチ制御部264は、上述した通り、FIFOバッファ262に入力されたATMセルの識別子とそのATMセルの入力スイッチポートIDを元に、そのATMセルの出力スイッチポートIDを図示しないテーブル等を参照して検索し、その結果をFIFOバッファ262へ通知する制御を行うが、高速回線が接続されているスイッチポートに関しては、グルーピング制御を行う。グルーピング制御とは、高速回線が接続されているスイッチポートを1つのグループとして処理する制御のことを指す。

【0049】

ここで、グルーピング制御について、図3及び図4、図5を用いて説明する。

【0050】

図4は、グルーピング制御が行われる時の出力スイッチポートIDを示す図である。図5は、グルーピング制御が行われる時のATMスイッチ部の動作を説明する図である。

【0051】

図3において、ATMスイッチ261の入力スイッチポートIDが0～C-1のスイッチポートは、図1の高速回線21を収容するスイッチポートであり、出力スイッチポートIDがC～C+D-1のスイッチポートは、図1の高速回線29を収容するスイッチポートである。入力スイッチポート0～C-1及び出力スイッチポートC～C+D-1がそれぞれ1つのグループとして処理されることとなり、この設定を図3のスイッチ制御部264に行っておく。

【0052】

この時、高速回線29へ出力されるべきATMセルがFIFOバッファ262へ入力されると、そのATMセルの出力スイッチポートIDを、スイッチ制御部

264は「C」と判断し、これをFIFOバッファ262へ通知する（図4のイ、すなわち出力スイッチポートIDがC）。この状態で、同一セル周期内で、高速回線29宛のATMセルが他に存在する場合は、グルーピング制御により、そのATMセルの出力スイッチポートIDは「C+1」と判断され、その旨がFIFOバッファ262に通知される（図4のロ、すなわち出力スイッチポートIDがC+1）。さらに他のATMセルも同一の高速回線29宛の宛先を有する場合は「C+2」と通知され（図4のハ、すなわち出力スイッチポートIDがC+2）、最大で「C+D-1」迄の出力スイッチポートID迄通知される（図4のニ、すなわち出力スイッチポートIDがC+D-1）。つまり、1セル周期で最大D個のグルーピングしたスイッチポート数分のATMセルの出力が可能となる。この後のセル周期で、同一の高速回線29宛の宛先を有するATMセルが入力された場合には、続きの出力スイッチポートIDへATMセルが出力されるよう制御を行う。例えば、前のセル周期で出力スイッチポートC+3迄出力されていた場合には、今回のセル周期では出力スイッチポートC+4から出力されるよう制御する。また、出力スイッチポートC+D-1の次は、出力スイッチポートCに戻るよう制御する（図4のホ、すなわち出力スイッチポートIDがC）。

【0053】

次に、図5を参照して、グルーピング制御が行われる時のATMスイッチ部の動作を説明する。

【0054】

なお、図5において図3に示す構成要素に対応するものは同一の参照数字または符号を付し、その説明を省略する。

【0055】

図5において、図3に示したN×NのATMスイッチ261が16×16のATMスイッチ2611に置き換えられている。これに伴い、図3のFIFOバッファ262が16個のバッファを有するFIFOバッファ2621に置き換えられており、かつ、FIFOバッファ2621内の各バッファに#0～#15迄の番号を付してある。

【0056】

そして、A T Mスイッチ部 2 6 への入力側の高速回線のレートが 3 B すなわち $C = 3$ で、出力側の高速回線のレートが 2 B すなわち $D = 2$ とし、それぞれが、入力スイッチポート I D が 0 ~ 2 の入力スイッチポート、出力スイッチポート I D が 8 ~ 9 の出力スイッチポートに接続されているものとする。また、通常回線が、入力スイッチポート I D が 1 5 の入力スイッチポートに接続されており、出力スイッチポート I D が 1 5 の出力スイッチポートにも出力側の通常回線が接続されているものとする。

【 0 0 5 7 】

さらに、図 5 における初期状態として、入力スイッチポート 0、1、2、1 5 の F I F O バッファ 2 6 2 1 の各バッファにそれぞれ 2 個ずつの A T M セルが蓄積されており、それぞれの A T M セルに付加されたシーケンス I D は、# 0 のバッファで 0 と 3、# 1 のバッファで 1 と 4、# 2 のバッファで 2 と 5 である。# 1 5 のバッファの A T M セルには、通常回線からの A T M セルであるためにシーケンス I D は付加されないが、A T M セルの到着順序を示すため括弧で囲んだ数字 (0) 及び (1) を付しておく。そして、これらの A T M セルが全て出力側の高速回線へ出力される場合のグルーピング制御の例を示す。

【 0 0 5 8 】

図 5 において、最初のセル周期では、入力スイッチポート 0 の F I F O バッファ 2 6 2 1 の # 0 に蓄積されている A T M セル (シーケンス I D = 0) が出力スイッチポート 8 へ出力されるよう指示され、次に入力スイッチポート 1 の F I F O バッファ 2 6 2 1 の # 1 に蓄積されている A T M セル (シーケンス I D = 1) が出力スイッチポート 8 とグルーピングされている出力スイッチポート 9 への出力指示を受け、高速回線へ出力される。

【 0 0 5 9 】

次のセル周期では、F I F O バッファ 2 6 2 1 の各バッファの先頭の A T M セルは、入力スイッチポート 0、1、2、1 5 でそれぞれ 3、4、2、(0) となっている。この状態での出力は、入力スイッチポート 2 の F I F O バッファ 2 6 2 1 の # 2 に蓄積されている A T M セル (シーケンス I D = 2) が出力スイッチポート 8 へ出力されるよう指示され、次に入力スイッチポート 1 5 の F I F O バッファ

バッファ 2621 の #15 に蓄積されている ATM セル（到着順序 = (0)）が出力スイッチポート 8 とグルーピングされている出力スイッチポート 9 への出力指示を受け、高速回線へ出力される。

【0060】

続くセル周期でも同様の制御が行われ、結果としてシーケンス ID = 3 とシーケンス ID = 4 の ATM セルが、出力スイッチポート 8 と 9 にそれぞれ出力され、次のセル周期では、シーケンス ID = 5 と到着順序 = (1) の ATM セルが、出力スイッチポート 8 と 9 にそれぞれ出力される。

【0061】

次に、図 6 を参照して、図 1 に示したセル多重部 27 の詳細構成を説明する。

【0062】

図 6 は、図 1 のセル多重部の一実施例を示す詳細ブロック図である。

【0063】

図 6 において、セル多重部 27 は、セル多重部 27 に入力される D 本の ATM セルを一時的に蓄える D 個のバッファを有する FIFO バッファ 271 と、FIFO バッファ 271 に蓄えられた ATM セルの順序制御を行う順序制御部 272 と、FIFO バッファ 271 に蓄えられた ATM セルを多重して高速回線に出力するセレクタ 273 とから構成されている。

【0064】

セル多重部 27 に入力された ATM セルは、一旦 FIFO バッファ 271 に蓄積される。基本的に各 ATM セルはセル同期が取られた形で FIFO バッファ 271 の各バッファに入力されるが、もしセル同期がずれていた場合には同期するよう補正が行われる。その後、FIFO バッファ 271 に蓄積された ATM セルは、シーケンス ID と識別子を順序制御部 272 へ送信する。

【0065】

順序制御部 272 では、FIFO バッファ 271 に蓄積された ATM セルを、図 1 に示した ATM スイッチ部 26 のスイッチポートの 1 セル周期ごとに、FIFO バッファ 271 の各バッファから 1 セルずつ計 D 個読み出し、若番のバッファから順番に多重を行えるようセレクタ 273 に出力し、セレクタ 273 で多重

化を行う。

【0066】

順序制御部 272 が計 D 個の ATM セルを読み出す際には、識別子ごとにシーケンス ID の確認を行い、ATM セルの順序が崩れていた場合には、ATM セルの順序補正を行う。

【0067】

ここで、順序制御部 272 が行う順序補正について、図 7 を参照して具体的に説明する。

【0068】

図 7 は、順序補正が行われる時のセル多重部の動作を説明する図である。

【0069】

なお、図 7 において図 6 に示す構成要素に対応するものは同一の参照数字または符号を付し、その説明を省略する。

【0070】

図 7 においては、図 6 に示したセル多重部 27 に入力される ATM セルが 2 本、すなわち $D = 2$ の場合を例示しており、図 6 の FIFO バッファ 271 が FIFO バッファ 2711 に置き換えられており、FIFO バッファ 2711 内のバッファは #0 と #1 の 2 つであり、また、図 6 のセレクタ 273 がセレクタ 2731 に置き換えられている。

【0071】

そして、図 7 における初期状態として、FIFO バッファ 2711 内の #0 のバッファには、シーケンス ID が 0、2、3、5 の ATM セルが蓄積されており、#1 のバッファにはシーケンス ID が [0]、1、[1]、4 の ATM セルが蓄積されているものとする。なお、シーケンス ID が 0 ~ 5 の ATM セルは同じ識別子を有する ATM セルとし、[と] で囲んだシーケンス ID すなわち [0]、[1] を付加した ATM セルは、別識別子を有する ATM セルであるとする。従って、図 7 においては、FIFO バッファ 2711 内の #1 側の ATM セルの順序が #0 側に比べて 1 セル分ずれている状態を示している。この状態において、順序制御部 272 が行う順序補正の動作について説明する。

【 0 0 7 2 】

図 7 において、最初のスイッチポートのセル周期では、F I F O バッファ 2 7 1 1 の若番のバッファから # 0、# 1 の順にそれぞれ、シーケンス I D が 0 と [0] を有する A T M セルが読み出され、セクタ 2 7 3 1 で多重されて、高速回線に出力される。

【 0 0 7 3 】

次のセル周期では、そのまま順次読み出すと、F I F O バッファ 2 7 1 1 の若番の方からシーケンス I D が 2 と 1 を有する A T M セルが読み出されることになるが、順序制御部 2 7 2 が各識別子ごとにシーケンス I D を確認しているため、このようには読み出されず、F I F O バッファ 2 7 1 1 の # 1、# 0 の順に、つまりシーケンス I D が 1 である A T M セルが先に読み出され、ついでシーケンス I D が 2 である A T M セルが読み出される。

【 0 0 7 4 】

このように、順序制御部 2 7 2 がシーケンス I D を確認しながら A T M セルの読み出し制御を行うため、F I F O バッファ 2 7 1 1 から読み出される A T M セルの読み出し順序は可変的であり、従って順序補正の動作が正しく行われることになる。

【 0 0 7 5 】

次に、図 1 及び図 2、図 3、図 6 を再度参照して、本実施の形態の動作をより詳細に説明する。

【 0 0 7 6 】

図 1 に示すように、高速回線 2 1 からは C 個の同一識別子を有する A T M セルが入力され、通常回線 2 3 からは別識別子を有する 1 個の A T M セルが入力され、入力した A T M セルの合計は $C + 1 \leq N$ (入出力スイッチポートの数) であるものとする。また、C + 1 個の A T M セルは全て高速回線 2 9 に出力されるよう宛先が定められているものとする。

【 0 0 7 7 】

図 1 において、高速回線 2 1 から入力された A T M セルは、入力回線対応部 2 2 の物理レイヤ終端部 2 2 1 及び A T M レイヤ終端部 2 2 2 でそれぞれ所定の物

理レイヤ終端処理及びA T Mレイヤ終端処理が施された後、セル分離部 2 5 に入力される。通常回線 2 3 から入力された A T Mセルは、入力回線対応部 2 4 の物理レイヤ終端部 2 4 1 及び A T Mレイヤ終端部 2 4 2 でそれぞれ所定の物理レイヤ終端処理及び A T Mレイヤ終端処理が施された後、A T Mスイッチ部 2 6 に送出される。

【 0 0 7 8 】

図 2 のセル分離部 2 5 の順序制御部 2 5 1 は、高速回線 2 1 から入力された C 個の A T Mセルの識別子ごとにシーケンス I D を付加し、後段のセクタ 2 5 2 に送付する。ここでは、C 個の A T Mセルに 0 ~ C - 1 のシーケンス I D が順次付加される。セクタ 2 5 2 では、セクタ制御部 2 5 3 の指示に従い、A T Mセルを到着順に F I F Oバッファ 2 5 4 に 1 セルずつ送出する。F I F Oバッファ 2 5 4 への書き込みは、高速回線 2 1 のレートで行い、F I F Oバッファ 2 5 4 ではセル同期を行った後、C 個の A T Mセルを同時に、A T Mスイッチ部 2 6 のスイッチポートのレートで読み出しを行い、各スイッチポートへ送出する。また、通常回線 2 3 からの A T Mセルも C 個の A T Mセルと同期して A T Mスイッチ部 2 6 へ入力される。

【 0 0 7 9 】

次に、図 3 の A T Mスイッチ部 2 6 へ同時に入力された C + 1 個の A T Mセルは、伝送路を通過することで発生し得る伝送遅延を F I F Oバッファ 2 6 2 及びセル同期制御部 2 6 3 の制御の元で補正し、F I F Oバッファ 2 6 2 はそれぞれの A T Mセルの識別子及び自スイッチポート I D をスイッチ制御部 2 6 4 に送信する。スイッチ制御部 2 6 4 は、入力された C + 1 個の A T Mセルが全て高速回線 2 9 宛の A T Mセルであることを識別し、また、高速回線 2 9 の接続されている出力スイッチポートはグルーピングされていることを認識し、同時に出力スイッチポート I D を C ~ C + C とそれぞれ通知し、C + 1 個の A T Mセルは同時に N × N の A T Mスイッチ 2 6 1 へ入力されてスイッチングされ、それぞれ該当する出力スイッチポートへ出力される。

【 0 0 8 0 】

次いで、図 6 に示す後段のセル多重部 2 7 では、同期して入力した C + 1 個の

A T Mセルを、順序制御部 272 の制御の元で識別子ごとにシーケンス I D を参照して A T Mセルの順序を保存し、セクタ 273 で多重して高速回線 29 に向け送出する。

【0081】

高速回線 29 に向け送出された C + 1 個の A T Mセルは、図 1 の出力回線対応部 28 の A T Mレイヤ終端部 282 及び物理レイヤ終端部 281 でそれぞれ所定の A T Mレイヤ終端処理及び物理レイヤ終端処理が施された後、高速回線 29 に送出される。

【0082】

次に、本発明のマルチレート A T M交換装置の他の実施の形態について説明する。

【0083】

図 3 において、F I F Oバッファ 262 及びセル同期制御部 263 は、前段のセル分離部 25 から A T Mセルが出力されてから、後段の A T Mスイッチ 261 に A T Mセルが入力されるまでの間に生じるセル同期のずれを補正するために使用されているが、この間のセル同期のずれが A T M交換装置の設計上問題とならないような小さなレベルであれば、F I F Oバッファ 262 を小容量化することが可能となり、また、セル同期制御部 263 を削除することが可能となり、ハードウェアの削減を計ることが可能となる。

【0084】

また、図 2 の順序制御部 251 及び図 6 の順序制御部 272 は、A T Mセルの到着順序を保存するために、シーケンス I D を A T Mセルに付加すると共に、付加されたシーケンス I D を元に A T Mセルの到着順序を保存する為の機能ブロックであるが、図 2 のセクタ 252 において、必ず到着順に A T Mセルを若番のスイッチポートから順次振り分けること、各機能ブロック間においてセル同期を遵守すること、及び図 6 のセクタ 273 で必ず若番のスイッチポートからの A T Mセルから順次多重していくことが保証されている場合には、シーケンス I D を使用せずに A T Mセルの到着順序の保存がなされる為、図 2 の順序制御部 251 及び図 6 の順序制御部 272 は削除が可能となり、ハードウェアの削減を計る

ことが可能となる。

【 0 0 8 5 】

【発明の効果】

以上説明したように、本発明のマルチレート A T M 交換装置は、A T M スイッチ部の各入出力スイッチポートのレートを変更せずに、その入出力スイッチポートのレートを越える高速回線を収容することができるという効果を有している。

【 0 0 8 6 】

これに伴い、従来、A T M 交換装置に新たに高速回線を収容する場合に必要であった A T M スイッチ部の再設計・再製造といった工程が不要となり、コストや納期の面で格段に優れたマルチレート A T M 交換装置を提供可能となるという効果を有している。

【図面の簡単な説明】

【図 1】

本発明のマルチレート A T M 交換装置の一つの実施の形態を示すブロック図である。

【図 2】

図 1 のセル分離部の一実施例を示す詳細ブロック図である。

【図 3】

図 1 の A T M スイッチ部の一実施例を示す詳細ブロック図である。

【図 4】

グルーピング制御が行われる時の出力スイッチポート I D を示す図である。

【図 5】

グルーピング制御が行われる時の A T M スイッチ部の動作を説明する図である。

【図 6】

図 1 のセル多重部の一実施例を示す詳細ブロック図である。

【図 7】

順序補正が行われる時のセル多重部の動作を説明する図である。

【図 8】

従来のATM交換装置における回線収容方式の一例を示す図である。

【符号の説明】

- 100 ATM交換装置
- 101～10i 低速回線
- 111～11i 入力回線対応部
- 1111 物理レイヤ終端部
- 1112 ATMレイヤ終端部
- 121～12k 通常回線
- 131～13k 入力回線対応部
- 1311 物理レイヤ終端部
- 1312 ATMレイヤ終端部
- 140 ATMスイッチ部
- 142 セル多重部
- 144 セル分離部
- 151～15m 出力回線対応部
- 1511 物理レイヤ終端部
- 1512 ATMレイヤ終端部
- 161～16m 低速回線
- 171～17n 出力回線対応部
- 1711 物理レイヤ終端部
- 1712 ATMレイヤ終端部
- 181～18n 通常回線
- 20 マルチレートATM交換装置
- 21 高速回線
- 22 入力回線対応部
- 221 物理レイヤ終端部
- 222 ATMレイヤ終端部
- 23 通常回線
- 24 入力回線対応部

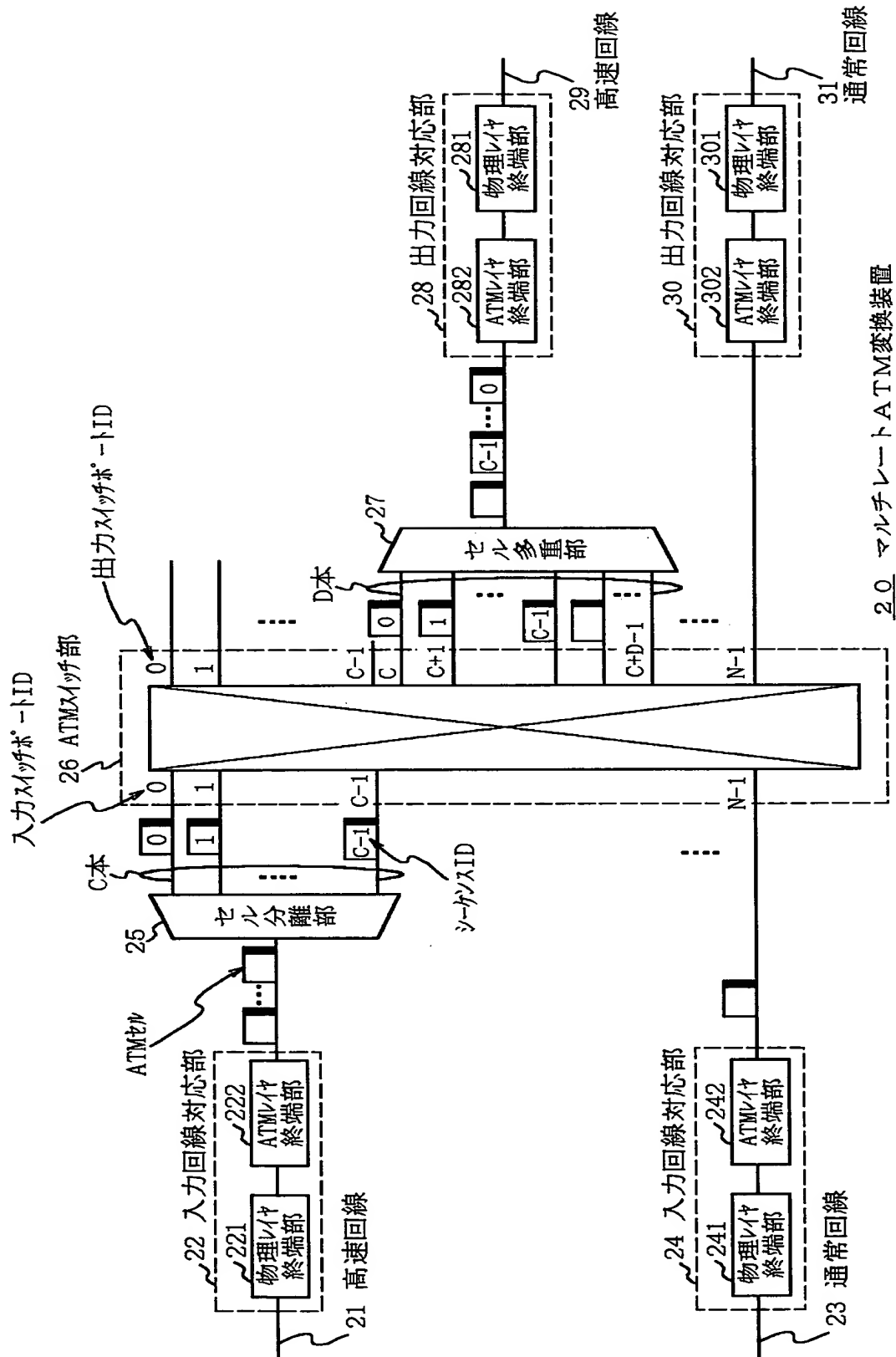
- 2 4 1 物理レイヤ終端部
- 2 4 2 A T M レイヤ終端部
- 2 5 セル分離部
- 2 5 1 順序制御部
- 2 5 2 セレクタ
- 2 5 3 セレクタ制御部
- 2 5 4 F I F O バッファ
- 2 5 5 同期制御部
- 2 6 A T M スイッチ部
- 2 6 1 A T M スイッチ
- 2 6 1 1 A T M スイッチ
- 2 6 2 F I F O バッファ
- 2 6 2 1 F I F O バッファ
- 2 6 3 セル同期制御部
- 2 6 4 スイッチ制御部
- 2 7 セル多重部
- 2 7 1 F I F O バッファ
- 2 7 1 1 F I F O バッファ
- 2 7 2 順序制御部
- 2 7 3 セレクタ
- 2 7 3 1 セレクタ
- 2 8 出力回線対応部
- 2 8 1 物理レイヤ終端部
- 2 8 2 A T M レイヤ終端部
- 2 9 高速回線
- 3 0 出力回線対応部
- 3 0 1 物理レイヤ終端部
- 3 0 2 A T M レイヤ終端部
- 3 1 通常回線

特平 1 1 - 3 5 0 7 7 8

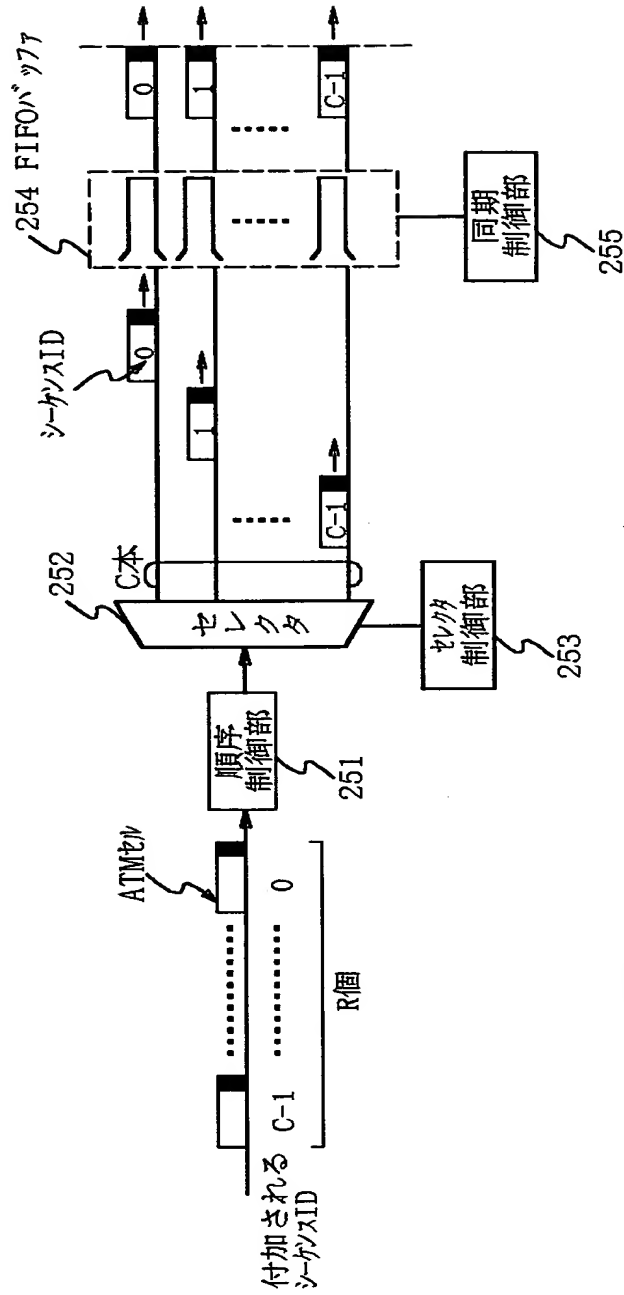
特平 1 1 - 3 5 0 7 7 8

【書類名】 図面

【図 1】

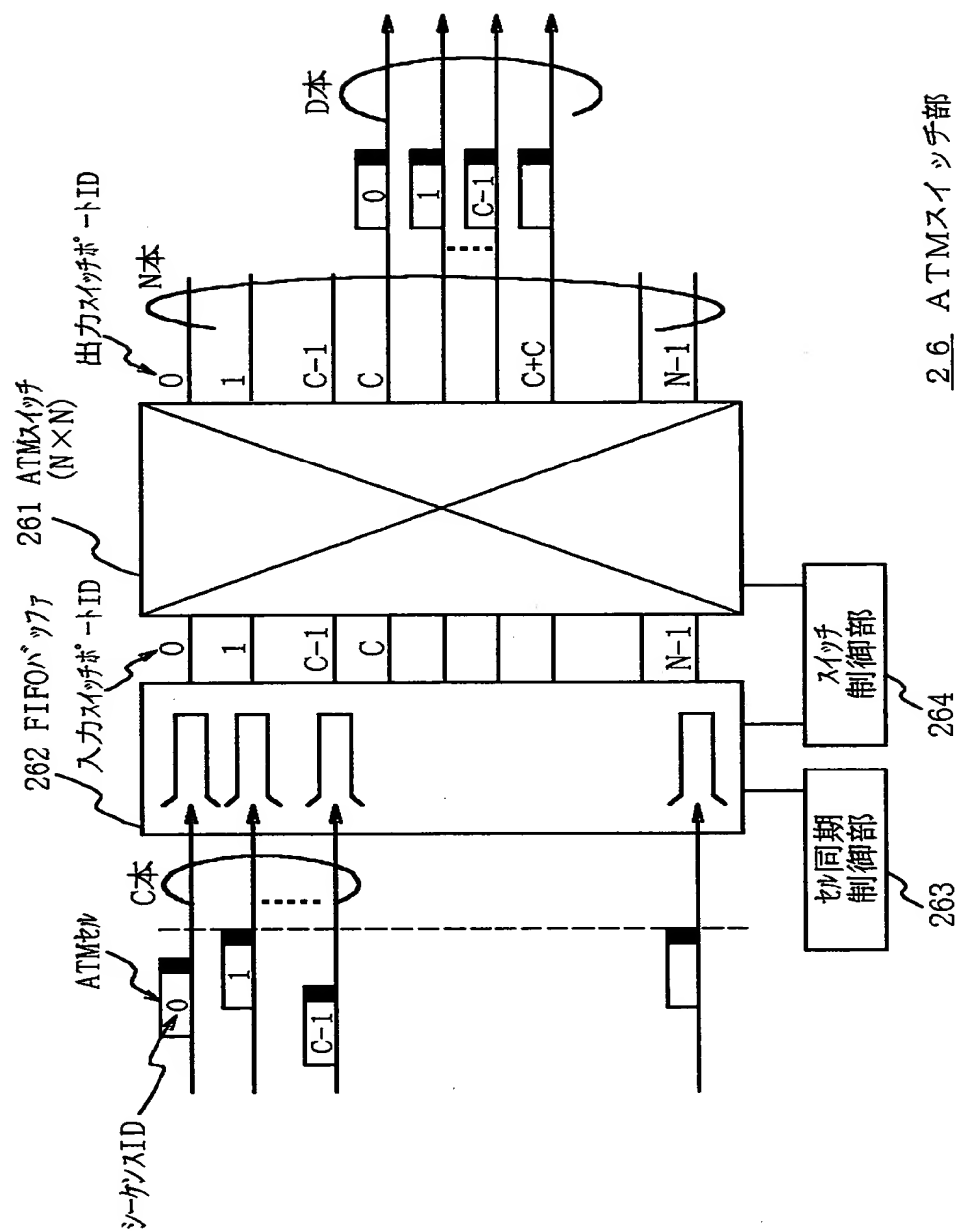


【図 2】

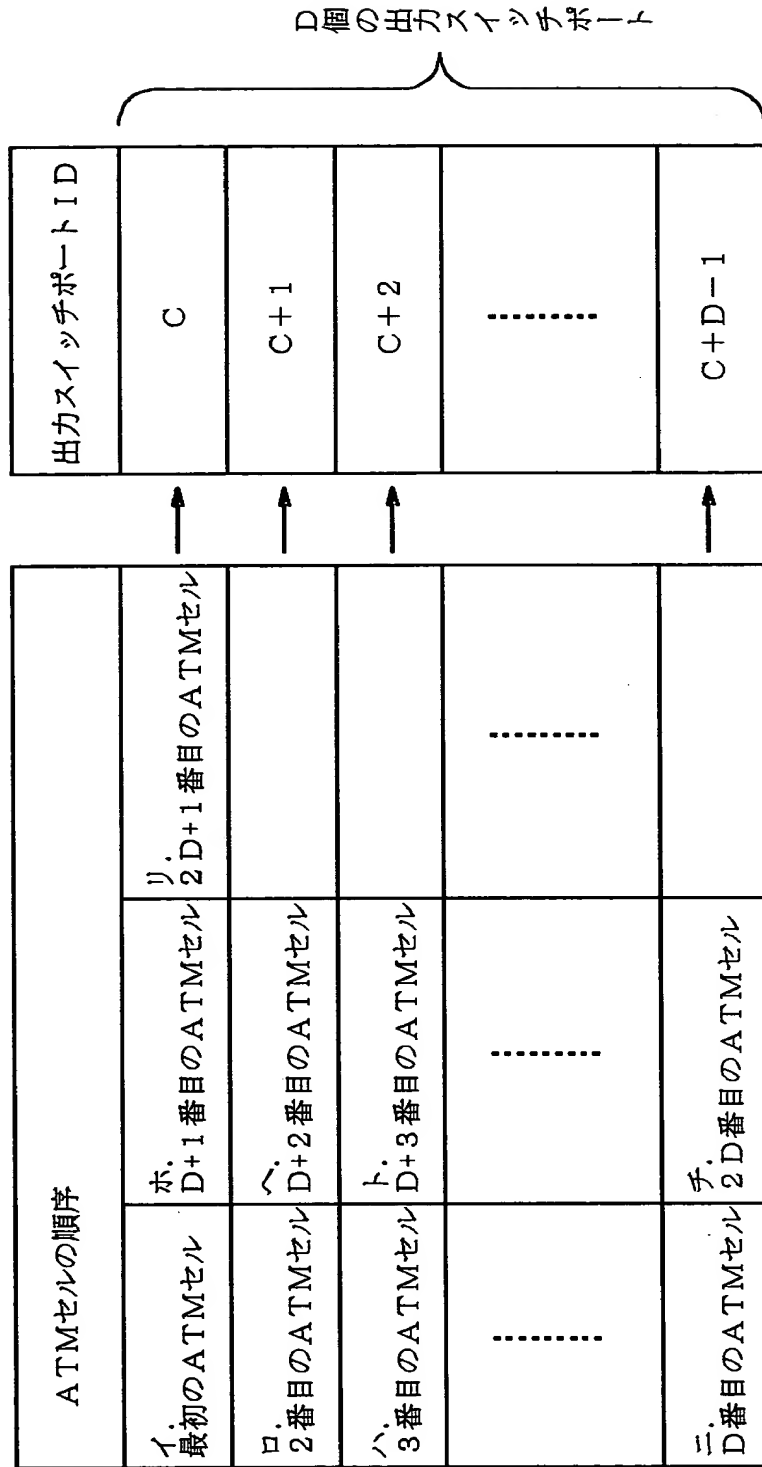


2.5 セル分離部

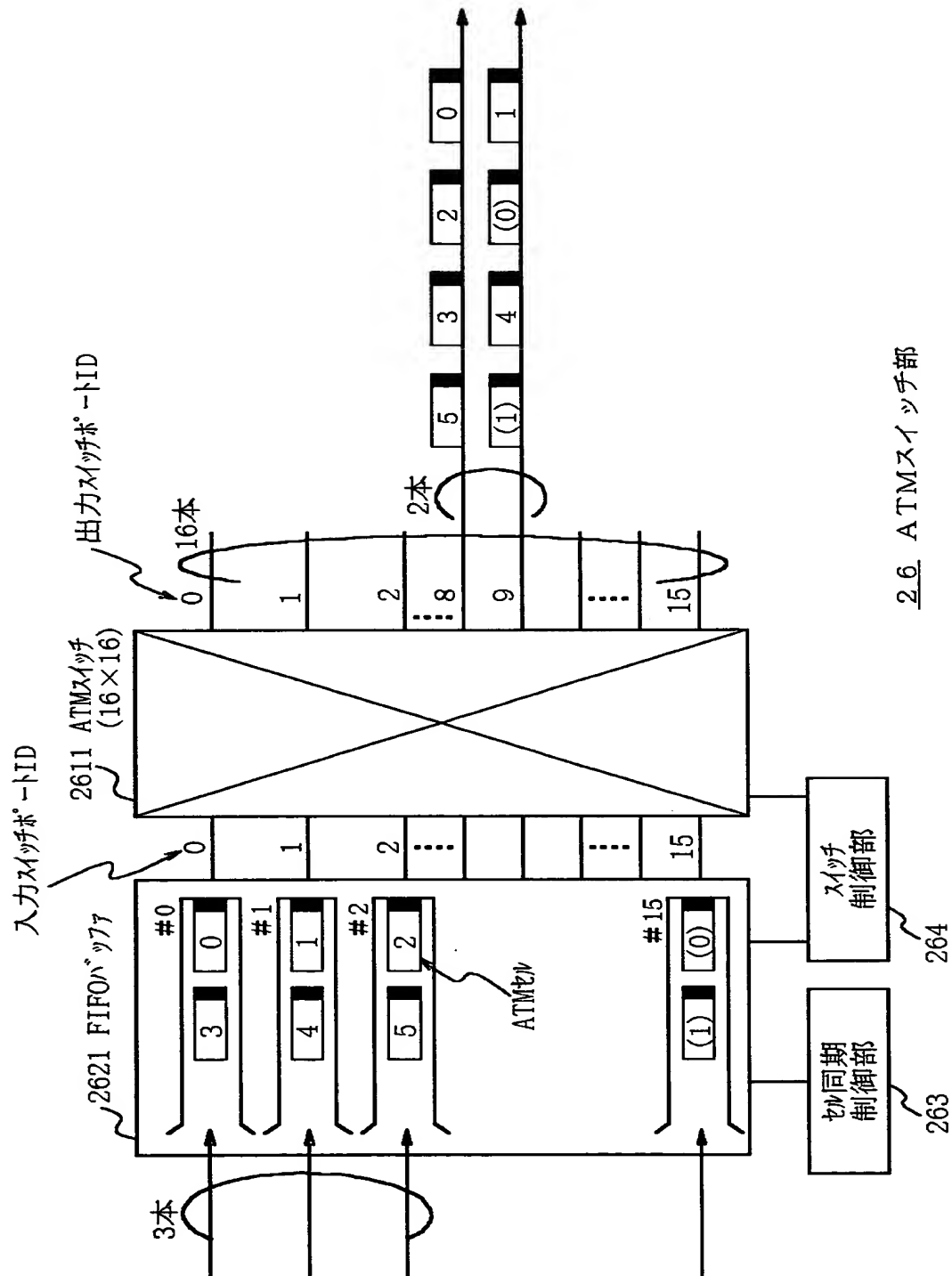
【図 3】



【図 4】

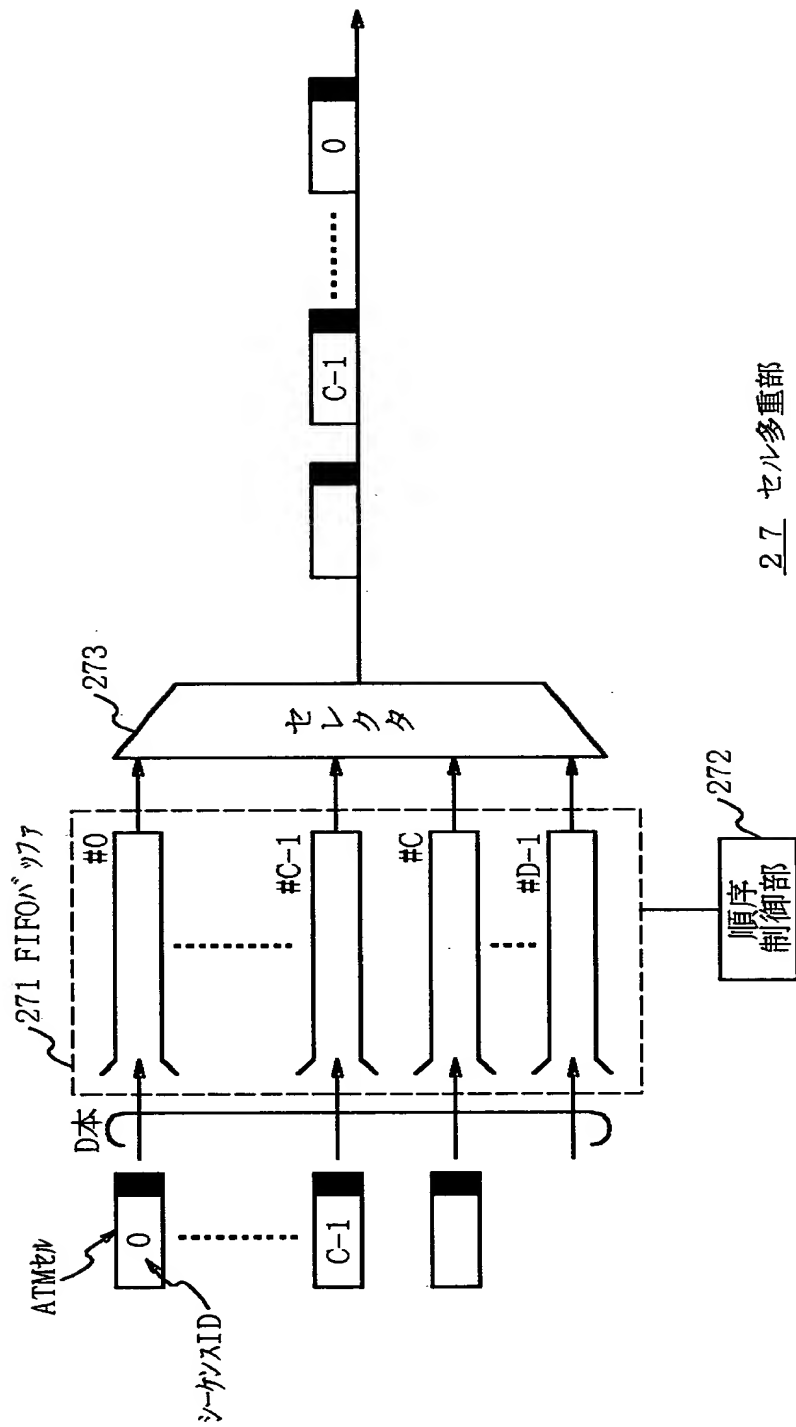


【図 5】

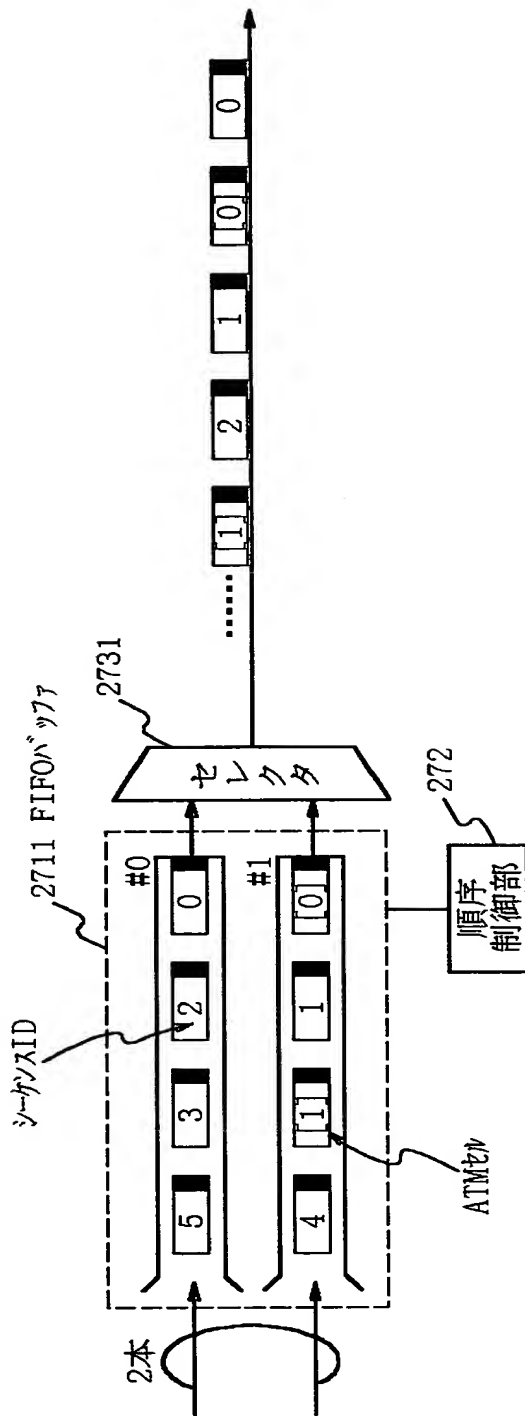


2.6 ATMスイッチ部

【図 6】

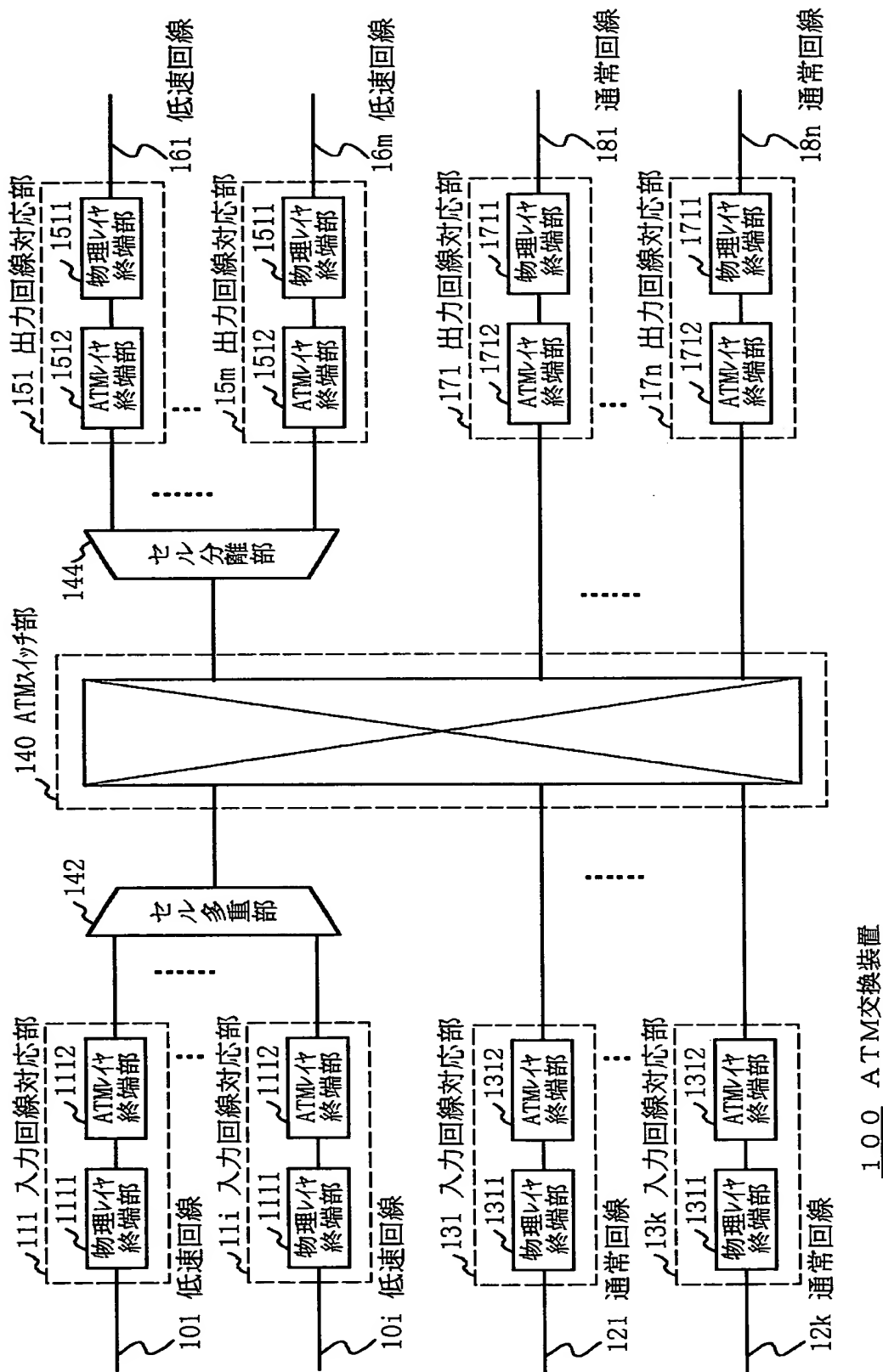


【図 7】



2.7 セル多重部

【図 8】



特平 1 1 - 3 5 0 7 7 8

【書類名】 要約書

【要約】

【課題】 A T Mスイッチ部の各入出力スイッチポートのレートを変更せずに、その入出力スイッチポートのレートを越える高速回線を収容することを可能とするマルチレート A T M交換装置を提供する。

【解決手段】 複数の入出力回線間で A T Mセルの交換を行う A T M交換装置において、入力側高速回線から入力された A T Mセル流を複数の A T Mセル流に分離するセル分離部と、前記セル分離部で分離された複数の A T Mセル流をそれぞれ複数の入力スイッチポートを介して入力し、該 A T Mセル流をスイッチングして複数の出力スイッチポートから出力する A T Mスイッチ部と、前記 A T Mスイッチ部の複数の出力スイッチポートから出力された A T Mセル流を多重化するセル多重部とを備える構成とした。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第350778号
受付番号	59901203585
書類名	特許願
担当官	第八担当上席 0097
作成日	平成11年12月13日

<認定情報・付加情報>

【提出日】	平成11年12月 9日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社